

研 究 主 論 文 抄 録

論文題目 FPGA を用いたディペンダブルシステムに関する研究
 (Study on Dependable System using Field Programmable Gate Array)

熊本大学大学院自然科学研究科 情報電気電子工学専攻 先端情報通信講座
 (主任指導 末吉敏則 教授)

論文提出者 一ノ宮 佳裕
 (by Yoshihiro Ichinomiya)

主論文要旨

《本文》

現代社会では日々の生活の中に情報システムが密接にかかわっている。それら情報システムは、演算処理を行うために多くの LSI (Large Scale Integration) を搭載している。そのため、情報システムの信頼性は LSI の信頼性に大きく依存しており、現代社会の利便性・安全性確保には LSI の信頼性が重要であるといえる。

LSI の故障はハードエラーとソフトエラーの 2 つに分類される。ハードエラーは、エレクトロマイグレーションや TDDDB (Time Dependent Dielectric Breakdown) など劣化により引き起こされる物理的な故障である。ソフトエラーは、メモリセルや FF (Flip-flop) の値が反転する一時的な故障であり、放射線により引き起こされる。これらの故障は、半導体製造プロセスが微細化するに伴い増加する傾向にある。

このような問題に対し、本研究では FPGA (Field Programmable Gate Array) の柔軟性に着目した。FPGA はコンフィギュレーションメモリに回路構成情報をプログラミングすることで、任意の回路を実装可能な LSI である。そのため、故障個所を特定し、故障を避けて回路を実装することでデバイスを継続利用できる。このような理由より、FPGA は専用 LSI よりも高いディペンダビリティを実現できる要素を持つ。一方で、FPGA は多数のコンフィギュレーションメモリで回路を決定するため、ソフトエラーが発生すると回路が変化し誤動作を起こす。この回路故障を復旧するには、再構成によるコンフィギュレーションメモリの訂正が必要である。このことから、FPGA を用いたディペンダブルシステムを構築するには、ハードエラー回避だけでなくソフトエラーに対するディペンダビリティを改善する必要があるといえる。

本論文は 6 章で構成される。第 1 章では本研究の背景と目的について述べる。第 2 章では FPGA の概要、LSI の信頼性問題、FPGA における信頼性問題、そして高信頼化技術について説明を行う。その後、FPGA における高信頼化技術の現状と課題を述べ、本研究の主旨を明確にする。本論文では、FPGA を用いたディペンダブルシステムの研究として、

以下の3点について研究を行った。

- A) ソフトエラーの緩和および動的復旧手法
- B) ソフトエラー耐性の評価方法
- C) 動的かつ自動的なハードエラー回避手法

第3章では、ソフトコアプロセッサを対象としたソフトエラーの緩和・復旧手法の研究について述べる。プロセッサのような順序回路の場合、再構成により回路構成が復旧した後も内部レジスタにソフトエラーの影響が残る。その問題に対して、本研究ではソフトコアプロセッサの内部状態同期手法について提案を行った。提案手法を検証するために TMR (Triple Modular Redundancy) による故障緩和と、部分再構成を用いた故障回復技術を適用した高信頼システムを構築した。TMR と部分再構成により再構成時間を隠蔽して回路構成を復旧できことから、同期に必要な 6us でソフトエラーから復旧できることを確認した。

第4章では、再構成によるフォルトインジェクションを用いたソフトエラー耐性の評価システムの研究について述べる。TMR などの高信頼回路を評価する場合、ソフトエラーの影響が蓄積する場合を考慮する必要がある。これはフォルトインジェクションの回数を増やし、評価に費やす時間を増加させる。そこで、評価時間を削減し高信頼システムの評価を可能とするために、フレーム単位部分再構成の提案と、モンテカルロ法的一种であるブートストラップ法の適用を行った。フレーム単位部分再構成は、再構成データ量を削減することで再構成1回の時間を削減する。ブートストラップ法は、統計的なアプローチをとることで再構成回数を削減する。これらを用いることで、評価時間を約200分の1に削減した。また、実際に TMR 構成の評価を行い、エラー蓄積の考慮が必要であると示した。

第5章では、ソフトエラー、ハードエラー両方から自己復旧可能なディペンダブルシステムの研究について述べる。本章ではまず、ハードエラー回避の柔軟性を向上させるために、部分再構成データの再配置設計を提案した。これにより、FPGA 内部での動的かつ自律的ハードエラー回避を実現可能とした。次に、TMR、第3章で提案したソフトエラー復旧技術、部分再構成データの再配置によるハードエラー回避を組み合わせ、自己復旧可能なディペンダブルシステムの構築を行った。検証の結果、外部装置の助けを借りず FPGA 内部で自動的にソフトエラー・ハードエラーから復旧できることを確認した。

最後に、第6章では本研究の成果についてまとめる。本研究は、FPGA によるディペンダブルシステムについて以下の知見を得た。

1. TMR 構成の特徴を生かすことで内部レジスタの同期が可能
2. フレーム単位部分再構成とブートストラップ法は信頼性評価の高速化に有効
3. 部分再構成データの再配置はハードエラー回避の柔軟性向上に有効

また、自己復旧システムを構築して復旧処理の検証を行い、FPGA によるディペンダブルシステムの有効性を示した。一方で、設計手法の洗練化が必要であるという点を確認している。例えば、再配置設計による面積や動作速度のオーバーヘッドが大きいうえ、設計自体も複雑である。そのため、洗練されたデザインツールの開発が必要といえる。